

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月28日
Date of Application:

出願番号 特願2003-054448
Application Number:

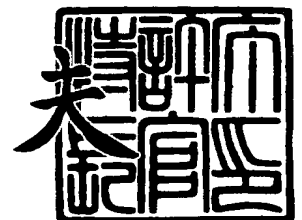
[ST. 10/C]: [JP 2003-054448]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年12月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 EP-0414801

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 前村 公博

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記メモリセルアレイは、

前記行方向に沿って前記複数のメモリセルを共通接続して連続形成された複数のソース線拡散層と、

複数のビット線拡散層と、

前記複数のビット線拡散層の各々を素子分離する複数の素子分離領域と、

複数のワードゲート共通接続部とを有し、

前記複数のメモリセルの各々は、前記ソース線拡散層と、前記ビット線拡散層と、前記ソース線拡散層及び前記ビット線拡散層間のチャネル領域と、前記チャネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャネル領域との間に形成された不揮発性メモリ素子とを含み、

前記列方向で隣り合う 2 本の前記セレクトゲートの内側に、2 本の前記ワードゲートが設けられ、前記 2 本のワードゲートの間には、前記複数のビット線拡散層の各々がそれぞれ設けられ、

前記複数のワードゲート共通接続部の各々は、前記複数の素子分離領域の少なくとも 1 つの上層にて、前記 2 本のワードゲート同士を共通接続し、

前記複数のワードゲート共通接続部の上層には、複数のワードゲート用配線が設けられ、前記複数のワードゲート用配線の少なくとも一つと、前記複数のワードゲート共通接続部の少なくとも一つとを接続するワード線接続部が形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記複数のワードゲート共通接続部の各々は、前記列方向で隣り合う 2 つの前記セレクトゲートを覆う絶縁体と、前記絶縁体上に設けられた前記 2 本のワードゲートを共通接続する導電体とを、有することを特徴とする不揮発性記憶装置。

【請求項 3】 請求項 2 において、

前記絶縁体は、前記不揮発性メモリ素子と同一材料を延在形成することにより形成されていることを特徴とする不揮発性記憶装置。

【請求項 4】 請求項 1～3 のいずれかにおいて、

前記列方向の同一線上に沿って、前記ワードゲート共通接続部が複数形成されていることを特徴とする不揮発性記憶装置。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記複数のワードゲート共通接続部の各々と、それと前記行方向において隣り合う前記素子分離領域と、の間には、前記複数のビット線拡散層の各々と複数のビット線の各々とを接続するビット線接続部を有する。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ素子を備えた不揮発性半導体記憶装置に関する。

【0002】**【背景技術】**

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

【0003】

MONOS型不揮発性半導体記憶装置として、1つの選択ゲートと、1つの制御ゲートにより制御される不揮発性メモリ素子 (MONOSメモリ素子) を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2、特許文献3及び特許文献4参照)

【0004】**【特許文献1】**

特開平6-181319号公報

【特許文献 2】

特開平 11-74389 号公報

【特許文献 3】

米国特許 5408115 号明細書

【特許文献 4】

米国特許 5969383 号明細書

【0005】

【発明が解決しようとする課題】

本発明は、レイアウト面積の小さい不揮発性半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、前記メモリセルアレイは、前記行方向に沿って前記複数のメモリセルを共通接続して連続形成された複数のソース線拡散層と、複数のビット線拡散層と、前記複数のビット線拡散層の各々を素子分離する複数の素子分離領域と、複数のワードゲート共通接続部とを有し、前記複数のメモリセルの各々は、前記ソース線拡散層と、前記ビット線拡散層と、前記ソース線拡散層及び前記ビット線拡散層間のチャンネル領域と、前記チャンネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャンネル領域との間に形成された不揮発性メモリ素子とを含み、前記列方向で隣り合う 2 本の前記セレクトゲートの内側に、2 本の前記ワードゲートが設けられ、前記 2 本のワードゲートの間には、前記複数のビット線拡散層の各々がそれぞれ設けられ、前記複数のワードゲート共通接続部の各々は、前記複数の素子分離領域の少なくとも 1 つの上層にて、前記 2 本のワードゲート同士を共通接続し、前記複数のワードゲート共通接続部の上層には、複数のワードゲート用配線が設けられ、前記複数のワードゲート用配線の少なくとも一つと、前記複数のワードゲート共通接続部の少なくとも一つとを接続するワード線接続部が形成されている。

【0007】

これにより、前記ソース線拡散層を素子分離せずに、前記2本のワードゲートを接続することができる。

【0008】

前記複数のワードゲート共通接続部の各々は、前記列方向で隣り合う2つの前記セレクトゲートを覆う絶縁体と、前記絶縁体上に設けられた前記2本のワードゲートを共通接続する導電体とを、有することができる。

【0009】

前記絶縁体は、前記不揮発性メモリ素子と同一材料を延在形成することにより形成することができる。これにより、プロセス工程を増やすことなく、前記絶縁体を形成することができる。

【0010】

前記列方向の同一線上に沿って、前記ワードゲート共通接続部を複数形成することができる。これにより、記憶装置のアドレス制御方法が複雑化してしまうことを回避することができる。

【0011】

前記複数のワードゲート共通接続部の各々と、それと前記行方向において隣り合う前記素子分離領域と、の間には、前記複数のビット線拡散層の各々と複数のビット線の各々とを接続するビット線接続部を有することができる。これにより、無駄なく前記メモリセルが配置された前記メモリセルアレイを構成することができる。

【0012】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照して説明する。

【0013】

(全体構成とメモリブロック)

図1は、本実施形態の全体構成を表すブロック図である。メモリセルアレイ4000は、行方向X及び列方向Yに沿って配列された複数のメモリセル410（後に図示する）を備える。また、メモリセルアレイ4000は、複数のメモリブ

ロック 400 を備える。各メモリブロック 400 は複数のメモリセル 410（後に図示する）で構成される。電源回路 100 からは複数種の電圧が発生される。発生された複数種の電圧は、複数の電圧供給線により各メモリブロック 400 へ供給される。また、メモリセルアレイ 4000 は、メモリセルアレイ 4000 中のビット線 60（後に図示する）を駆動するビット線駆動部（図示せず）を備える。

【0014】

図 2 は、メモリブロック 400 の一部を示した回路図である。メモリブロック 400 は、複数のワード線 50、複数のビット線 60、複数のセレクト線 70、複数のソース線 80 及び複数のメモリセル 410 を備える。また、メモリブロック 400 は、ワード線駆動部（図示せず）、セレクト線駆動部（図示せず）及びソース線駆動部（図示せず）を備える。図 2 中で点線で丸く囲まれた部分は、メモリセル 410 の一つを示す。

【0015】

メモリセル 410 は、セレクトゲート 411、ワードゲート 412 及び ONO 膜 413 を有する。メモリセル 410 の構造については、後に詳細を述べる。

【0016】

ワード線駆動部（図示せず）は、メモリブロック 400 内のすべてのワード線 50 を駆動する。複数のワード線 50 の各々は、メモリブロック 400 内の行方向 X に沿って配置された複数のメモリセル 410 のワードゲート 412 を共通接続する。

【0017】

セレクト線駆動部（図示せず）は、メモリブロック 400 内のすべてのセレクト線 70 を駆動する。複数のセレクト線 70 の各々は、メモリブロック 400 内の行方向 X に沿って配置された複数のメモリセル 410 のそれぞれのセレクトゲート 411 を共通接続する。

【0018】

ソース線駆動部（図示せず）は、メモリブロック 400 内のすべてのソース線 80 を駆動する。複数のソース線 80 の各々は、メモリブロック 400 内の行方

向 X に沿って配置された複数のメモリセル 4 1 0 のそれぞれのソース線拡散層 S L D (後に図示する) を共通接続する。

【0 0 1 9】

ビット線駆動部 (図示せず) は、メモリブロック 4 0 0 内のすべてのビット線 6 0 を駆動する。複数のビット線 6 0 の各々は列方向 Y に、複数のメモリセル 4 1 0 のそれぞれのビット線拡散層 B L D (後に図示する) を共通接続する。

【0 0 2 0】

図 3 は、メモリブロック 4 0 0 の一部について、各層の接続関係、位置関係が模式的に表された平面図である。符号 9 0 0 は素子分離領域 (例えば S T I (Shallow-Trench-Isolation)) を表し、符号 C O N T はコンタクトを表す。符号 5 5 はワードゲート共通接続部を表す。また、符号 A L A は第 1 配線層を表し、符号 A L B は第 2 配線層を表し、符号 A L C は第 3 配線層を表す。なお、各配線層 A L A ~ A L C のうち、第 1 配線層が基板に一番近い配線層である。

【0 0 2 1】

複数のワード線 5 0 が、第 3 配線層 A L C として、行方向 X に沿って形成されている。ワード線 5 0 は例えば金属で形成することができる。また、複数のワードゲート 4 1 2 は、基板 4 1 4 上に絶縁膜 (例えば酸化シリコン膜) を介して、行方向 X に沿って延在形成されている。ワードゲート 4 1 2 は、導電体 (例えばポリシリコン) で形成される。ワードゲート共通接続部 5 5 (詳細を後に図示する) は、複数のワードゲート 4 1 2 のうち、2 本のワードゲート 4 1 2 を共通接続する。複数のワード線 5 0 の各々は、複数のワード線接続部 5 1 (図 7 参照) によって、複数のワードゲート共通接続部 5 5 と接続される。

【0 0 2 2】

複数のソース線 8 0 が、第 3 配線層 A L C として、行方向 X に沿って形成されている。ソース線 8 0 は、例えば金属で形成することができる。また、複数のソース線拡散層 S L D の各々は、基板 4 1 4 の表層にて、行方向 X に沿って延在形成されている。各ソース線拡散層 S L D は、例えば基板 4 1 4 表面へイオン注入することにより形成される。複数のソース線 8 0 の各々は、複数のソース線接続部 8 1 によって、基板 4 1 4 上面の各ソース線拡散層 S L D へ接続される。

【0023】

複数のセレクト線 70 が、第 2 配線層 ALB として、行方向 X に沿って形成されている。セレクト線 70 は例えば金属で形成することができる。また、複数のセレクトゲート 411 の各々は、基板 414 上に絶縁膜（例えば酸化シリコン膜）を介して、行方向 X に沿って延在形成されている。セレクトゲート 411 は、例えば導電体（ポリシリコン）で形成される。各セレクト線 70 には、複数のセレクトゲート接続部 75（詳細は後に図示する）が形成されている。複数のセレクト線 70 の各々は、複数のセレクト線接続部 71 によって、複数のセレクトゲート接続部 75 と接続される。

【0024】

複数のビット線 60 が、第 1 配線層 ALA として、列方向 Y に沿って形成されている。ビット線 60 は例えば金属で形成することができる。また、複数のビット線拡散層 BLD の各々は、基板 414 の表層にて、行方向 X に沿って延在形成されている。各ビット線拡散層 BLD は、例えば基板 414 表面へイオン注入することにより形成される。また、複数の素子分離領域 900 が各ビット線拡散層 BLD 内に形成されている。これにより、各ビット線拡散層 BLD は電氣的に絶縁された複数の領域に分割される。各ビット線拡散層 BLD の分割された各領域にはビット線接続部 61 が形成されている。複数のビット線 60 の各々は、複数のビット線接続部 61 によって、基板 414 上面の各ビット線拡散層 BLD へ接続される。

【0025】

図 4～8 は、図 3 の A-A 断面、B-B 断面、C-C 断面、D-D 断面、E-E 断面のそれぞれについて示された図である。図 4～8 の横方向は、列方向 Y と同方向を表す。

【0026】

図 4 を参照して A-A 断面を説明する。符号 414 は基板を表す。また、符号 I1 は第 1 絶縁層を表し、符号 I2 は第 2 絶縁層を表し、符号 I3 は第 3 絶縁層を表す。複数のセレクトゲート接続部 75（セレクトゲート 411）は、第 1 絶縁層 I1 により覆われている。セレクトゲート接続部 75（セレクトゲート 41

1) は導電体 (例えばポリシリコン) で形成されている。基板 414 上には、複数のソース線拡散層 SLD 及び複数のビット線拡散層 BLD が形成されている。各ビット線拡散層 BLD は、各ビット線拡散層 BLD の列方向 Y で両端側に配置されている 2 つのメモリセル 410 に共用される。また、各ソース線拡散層 SLD は、各ソース線拡散層 SLD の列方向 Y での両端側に配置されている 2 つのメモリセル 410 に共用される。

【0027】

第 2 配線層 ALB として、複数のセレクト線 70 が形成されている。各セレクト線 70 は導電体 (例えば金属) で形成されている。各セレクト線 70 は、それぞれの下層に形成されているセレクトゲート接続部 75 (セレクトゲート 411) へ、セレクト線接続部 71 により接続されている。第 3 配線層 ALC として、複数のソース線 80 及び複数のワード線 50 が形成されている。各ワード線 50 及び各ソース線 80 は、導電体 (例えば金属) で形成されている。なお、以下の図において、同符号のものは、同様の意味を表す。

【0028】

次に図 5 を参照して B-B 断面を説明する。基板 414 上では、複数のセレクトゲート 411 及び複数のワードゲート 412 は、第 1 絶縁層 I1 により覆われている。また、ワードゲート 412 と基板 414 との間には窒化膜 417 (例えば SiN) が形成されている。図 5 のように窒化膜 417 (例えば SiN) は、L 字状 (または逆 L 字状) に形成されても良い。セレクトゲート 411 及びワードゲート 412 は導電体 (例えばポリシリコン) で形成されている。第 1 配線層 ALA として、一本のビット線 60 が形成されている。ビット線 60 は、導電体 (例えば金属) で形成することができる。このビット線 60 は、複数のビット線接続部 61 (ビット線 60 から基板 414 へ接続する接続部) により、基板 414 内の複数のビット線拡散層 BLD に接続されている。第 2 配線層 ALB として、複数のセレクト線 70 が形成されている。第 3 配線層 ALC として、複数のワード線 50 及び複数のソース線 80 が形成されている。

【0029】

次に図 6 を参照して C-C 断面を説明する。基板 414 内には、複数の素子分

離領域 900 及び複数のソース線拡散層 SLD が形成されている。基板 414 内の各素子分離領域 900 及び各ソース線拡散層 SLD の間には、素子分離領域 900 が絶縁体で形成されているため、チャンネル領域が形成されない。複数のセレクトゲート 411、複数のワードゲート 412 及び複数の窒化膜 417 は、図 5 と同様に、第 1 絶縁層 I1 に覆われている。第 2 配線層 ALB として、複数のセレクト線 70 が形成されている。第 3 配線層 ALC として、複数のワード線 50 及び複数のソース線 80 が形成されている。

【0030】

次に図 7 を参照して D-D 断面を説明する。各ワードゲート接続部 55 は、隣り合う 2 つのワードゲート 412 を接続するように形成されている。各ワードゲート接続部 55 は、導電体（例えばポリシリコン）で形成されている。基板 414 内では、ワードゲート接続部 55 及びワードゲート接続部の両側に形成されている 2 つのセレクトゲート 411 の下の部分に素子分離領域 900 が形成されている。各ワードゲート接続部 55 には、ワード線接続部 51 が接続されている。ワード線接続部 51 は、導電体（例えば金属）で形成される。第 3 配線層 ALC として、複数のワード線 50 及び複数のソース線 70 が形成されている。複数のワード線 50 の各々は、各ワード線接続部 51 によって、第 1 絶縁層 I1 で覆われているワードゲート接続部 55 へ接続される。

【0031】

次に図 8 を参照して E-E 断面を説明する。第 3 配線層 ALC として、複数のワード線 50 及び複数のソース線 80 が形成されている。複数のソース線 80 の各々は、複数のソース線接続部 81（ソース線 80 から基板 414 へ接続する接続部）のそれぞれにより、基板 414 内の複数のソース線拡散層 SLD に接続されている。ソース線接続部 81 は、導電体（例えば金属）で形成されている。

【0032】

上述されたメモリセル 410 の構成は一例であり、例えば、メモリセル 410 の窒化膜 417 は、セレクトゲート 411 及びワードゲート 412 の間に延在形成させなくてもよい。また、ワードゲート 412 の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えば Co シリ

サイドまたはTiシリサイドを使用することができる。これによりワードゲート 412 の負荷抵抗値を下げることができる。

【0033】

(動作説明)

本実施形態では、各メモリセル 410 へのアクセスは、メモリブロック 400 単位で行われる。つまり、メモリセル 410 を選択するためには、まず、メモリブロック 400 を選択し、その後メモリセル 410 を選択する。選択されたメモリセル 410 を選択メモリセルと呼ぶ。選択メモリセルを有するメモリブロック 400 を選択メモリブロック、それ以外のメモリブロック 400 を非選択メモリブロックと呼ぶ。

【0034】

複数のワード線 50 のうち、選択されたワード線 50 を選択ワード線、それ以外のワード線 50 を非選択ワード線と呼ぶ。複数のビット線 60 のうち、選択されたビット線 60 を選択ビット線、それ以外のビット線 60 を非選択ビット線と呼ぶ。複数のセレクト線 70 のうち、選択されたセレクト線 70 を選択セレクト線、それ以外のセレクト線 70 を非選択セレクト線と呼ぶ。複数のソース線 80 のうち、選択されたソース線 80 を選択ソース線、それ以外のソース線 80 を非選択ソース線と呼ぶ。

【0035】

また、非選択メモリブロック中のワード線 50、ビット線 60、セレクト線 70 及びソース線 80 は、すべての動作において、すべて非選択メモリブロック電圧 (0 V) に設定されている。以下に、図 9 を参照しながら、各動作 (スタンバイ、リード、プログラム、イレース) を説明する。図 9 の点線で丸く囲まれた符号 SM は、選択メモリセルを表す。また、符号 U SM 及び符号 A ~ D は非選択メモリセルを表す。

【0036】

(スタンバイ)

各ワード線 50 はすべてスタンバイ用ワード電圧 (0 V) に設定される。各ビット線 60 はすべてスタンバイ用ビット電圧 (0 V) に設定される。各セレクト

線 70 はすべてスタンバイ用セレクト電圧 (0 V) に設定される。また、各ソース線 80 はすべてスタンバイ用ソース電圧 (0 V) に設定される。

【0037】

スタンバイ時は、メモリセルアレイ 4000 内 (選択メモリブロック内及び非選択メモリブロック内) のすべてのメモリセル 410 は、上述のような電圧印加状態にある。

【0038】

(リード)

図 9 の選択メモリセル SM に接続されたワード線 50 (選択ワード線) はリード用選択ワード電圧 (電源電圧 V_{cc}) にチャージアップされる。選択メモリブロック内の非選択ワード線はすべてリード用非選択ワード電圧 (0 V) に設定される。選択メモリセル SM に接続されたセレクト線 70 (選択セレクト線) はリード用選択セレクト電圧 (電源電圧 V_{cc}) にチャージアップされる。選択メモリブロック内の非選択セレクト線はすべてリード用非選択セレクト電圧 (0 V) に設定される。ソース線 80 を含むすべてのソース線 80 はすべてリード用選択ソース電圧 (0 V) に設定される。また、選択メモリセルに接続されているビット線 50 (選択ビット線 (選択メモリセル SM に接続されているビット線 50 を含む)) はすべてリード用選択ビット電圧 (V_{sa} 、例えば電圧 1 V) に設定される。その他のビット線 60 つまり選択メモリブロック中の非選択ビット線はすべてリード用非選択ビット電圧 (0 V) に設定される。また、選択メモリブロックの基板 414 にはリード用基板電圧 (0 V) が印加される。

【0039】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層 SLD とビット線拡散層 BLD の間のチャネル領域にチャネルが形成される。そして、選択メモリセル SM のワードゲート 412 はリード用選択ワード電圧 (V_{cc}) にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに、選択メモリセル SM のセレクトゲート 411 はリード用選択セレクト電圧 (V_{cc}) にチャージアップされているので、ホットエレクトロンはセレクトゲート 411 側に引き寄せられる。このようにして

、選択メモリセルSMの両側にあるソース線拡散層SLDとビット線拡散層BLDの間のチャネル領域に電流(I_{DS})が流れる。

【0040】

メモリセル410のワードゲート412、ONO膜413、チャネル領域の3つの領域構造を、MOSトランジスタと見なすことができる。このとき、ONO膜413に電荷がトラップされている状態では、電荷がトラップされていない状態より閾値が高くなる。図10が前述の電荷の有無と、ソース線拡散層SLDとビット線拡散層BLDとの間に流れる電流についての相関関係を表した図である。

【0041】

図10によると、ワードゲート412に電圧 V_{read} を印加した時において、ONO膜に電荷がトラップされていない場合では電流 I_{DS} は例えば約 $20\mu A$ 流れるが、電荷がトラップされている場合では電流 I_{DS} はあまり流れない。つまり、ONO膜に電荷がトラップされていると、トランジスタの閾値が高くなるので、ワードゲート412への印加電圧が、電圧 V_{read} では、電流 I_{DS} があまり流れないのである。

【0042】

この電流の大小を各ビット線60に配置されているセンスアンプ(図示せず)で読みとることで、選択メモリセルに保持されているデータを読みとることができる。

【0043】

以上が選択メモリセルに対してのデータ読み込み(リード)の原理である。なお、上述のリード動作は、フォワードリードである。つまり、ソース線拡散層SLDとビット線拡散層BLDとにおいて、プログラム時と同様にソース線拡散層SLDに高電圧を印加している。読み出し方法としてリバースリードを用いることも可能である。その場合、本実施形態でのソース線拡散層SLDとビット線拡散層BLDとのそれぞれに印加する電圧値が、お互い入れ替わることになる。

【0044】

以下の表1に、リード時の電圧印加状態(フォワードリード及びリバースリー

ドについて)を示した。表1の非選択メモリセルは図9の非選択メモリセルUSMを示し、表1の選択メモリセルは図9の選択メモリセルSMを示す。表1のセル内の数値または、Vccは電圧値を表している。符号WLはワード線50を示し、符号SGはセレクト線70を示す。また、符号SLはソース線80を示し、符号BLはビット線60を示す。なお、以下において、表1の符号と同符号のものは、表1の同符号のものと同一ものを示す。

【0045】

【表1】

	選択メモリブロック			非選択メモリブロック
		非選択メモリセル	選択メモリセル	
フォワードリード	WL	0 V	Vcc	0 V
	SG	0 V	Vcc	0 V
	SL	0 V		0 V
	BL	0 V	Vsa	0 V
リバースリード	WL	0 V	Vcc	0 V
	SG	0 V	Vcc	0 V
	SL	Vcc		0 V
	BL	0 V	Vcc - Vsa	0 V

表1の非選択ブロックは、スタンバイ時の状態と全く同じである。プログラム時と、イレース時も同様に、非選択ブロックは、スタンバイ時の状態と同じ状態である。

【0046】

なお、非選択メモリセルは、非選択メモリセルUSMを含めて、電圧印加状態に応じて5種類に分類できる。残りの4種類が、非選択メモリセルA～Dである。図9の非選択メモリセルAには、選択ワード線、選択ビット線、非選択セレクト線及び選択ソース線が接続されている。図9の非選択メモリセルBには、非選択ワード線、選択ビット線、非選択セレクト線及び選択ソース線が接続されている。図9の非選択メモリセルCには、選択ワード線、非選択ビット線、選択セレクト線及び選択ソース線が接続されている。図9の非選択メモリセルDには、選択ワード線、非選択ビット線、非選択セレクト線及び選択ソース線が接続されている。表2に非選択メモリセルA～Dについての電圧印加状態を示した。

【0047】

【表 2】

		非選択メモリセル A	非選択メモリセル B	非選択メモリセル C	非選択メモリセル D
フォワード リード	W L	V _{cc}	0 V	V _{cc}	V _{cc}
	S G	0 V	0 V	V _{cc}	0 V
	S L	0 V	0 V	0 V	0 V
	B L	V _{sa}	V _{sa}	0 V	0 V
リバース リード	W L	V _{cc}	0 V	V _{cc}	V _{cc}
	S G	0 V	0 V	V _{cc}	0 V
	S L	V _{cc}	V _{cc}	V _{cc}	V _{cc}
	B L	V _{cc} - V _{sa}	V _{cc} - V _{sa}	V _{cc}	V _{cc}

上述の原理から、選択メモリセルには、選択ワード線、選択ビット線、選択セレクト線及び選択ソース線が接続される必要がある。メモリセル 410 に一つでも非選択系の線（非選択ワード線、非選択ビット線、非選択セレクト線、非選択ソース線）が接続されている場合は、そのメモリセル 410 は非選択メモリセルである。

【0048】

（プログラム）

選択メモリセル SM に接続されているワード線 50（選択ワード線）はプログラム用選択ワード電圧（5.5 V）にチャージアップされる。選択メモリブロック内の非選択ワード線はすべてプログラム用非選択ワード電圧（0 V）に設定されている。選択メモリセル SM に接続されたセレクト線 70（選択セレクト線）はプログラム用選択セレクト電圧（1 V）にチャージアップされ、非選択セレクト線はすべてプログラム用非選択セレクト電圧（0 V）に設定される。選択メモリセル SM に接続されたソース線 80（選択ソース線）はプログラム用選択ソース電圧（0 V）にチャージアップされ、非選択ソース線はすべてプログラム用非選択ソース電圧（0 V）に設定されている。また、選択メモリセル SM に接続されたビット線 60（選択ビット線）はすべてプログラム用選択ビット電圧（5 V

）に設定され、選択メモリブロック中の非選択ビット線はすべてプログラム用非選択ビット電圧（0 V）に設定される。また、選択メモリブロックの基板 414 にはプログラム用基板電圧（0 V）が印加される。

【0049】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層 SLD とビット線拡散層 BLD の間のチャネル領域にチャネルが形成される。そして、選択メモリセル SM のセレクトゲート 411 はプログラム用選択セレクト電圧（1 V）にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに選択メモリセルのワードゲート 412 はプログラム用選択ワード電圧（5.5 V）にチャージアップされているので、ホットエレクトロンはワードゲート 412 側に引き寄せられる。このとき、引き寄せられたホットエレクトロンは、ONO 膜 413 によりトラップされる。以上が選択メモリセルに対してのデータ書き込み（プログラム）の原理である。

【0050】

表 3 にプログラム時の電圧印加状態を示した。

【0051】

【表 3】

	選択メモリブロック			非選択メモリブロック
		非選択メモリセル	選択メモリセル	
プログラム	WL	0 V	5.5 V	0 V
	SG	0 V	1 V	0 V
	SL	0 V	0 V	0 V
	BL	0 V	5 V	0 V

表 3 の非選択メモリセルは、図 7 の非選択メモリセル USM を示す。また、表 3 の選択メモリセルは、図 7 の選択メモリセル SM を示す。

【0052】

リード動作と同様に、プログラム時にも非選択メモリセルには、5 種類の電圧印加状態（非選択メモリセル USM 及び非選択メモリセル A～D）がある（図 7 参照）。この 5 つのうち、非選択メモリセル A～D の電圧印加状態について表 4 に示した。

【0053】

【表 4】

		非選択メモリセル A	非選択メモリセル B	非選択メモリセル C	非選択メモリセル D
プログラム	W L	5.5 V	0 V	5.5 V	5.5 V
	S G	0 V	0 V	1 V	0 V
	S L	0 V	0 V	0 V	0 V
	B L	5 V	5 V	0 V	0 V

(イレーズ)

イレーズは、選択メモリブロック内すべてのメモリセル 410 に対して行われる。つまり、選択メモリブロック内のすべてのメモリセル 410 が選択メモリセルとなる。選択メモリブロック内のすべてのワード線 50 は消去用ワード（-3 V）にチャージアップされている。選択メモリブロック内のすべてのセレクト線 70 は消去用セレクト電圧（0 V）に設定されている。また、選択メモリブロック内のすべてのソース線 80 は消去用ソース電圧（5 V）にチャージアップされている。さらに、選択メモリブロック内のすべてのビット線 60 は消去用ビット電圧（0 V）に設定される。また、選択メモリブロックの基板 414 には消去用基板電圧（0 V）が印加される。

【0054】

前述のような電圧印加状態になると、ソース線拡散層 SLD とビット線拡散層 BLD の間のチャネル領域にチャネルが形成される。ところが、選択ブロック内のメモリセル 410 の各ワードゲート 412 は消去用ワード電圧（-3 V）にチャージアップされているので、各ワードゲート 412 とビット線拡散層 BLD の間に電界が生じる。その結果で生じたホットホールにより、ONO 膜 413 にトラップされていた電荷（電子）を消去できるのである。

【0055】

表 5 にイレーズ時の電圧印加状態（ホットホールによる消去）を示した。

【0056】

【表 5】

	選択メモリブロック		非選択メモリブロック
		選択メモリセル	
イレーズ	W L	- 3 V	0 V
	S G	0 V	0 V
	S L	5 V	0 V
	B L	0 V	0 V

本実施形態では、ホットホールによってデータ消去を行ったが、F N (Fowler-Norheim) 消去という手法を用いることもできる。この手法の場合、選択メモリブロック内のすべてのワード線 50 は F N 消去用ワード電圧 (- 8 V) にチャージアップされている。選択メモリブロック内のすべてのセレクト線 70 は F N 消去用セレクト電圧 (0 V) に設定されている。また、選択メモリブロック内のすべてのソース線 80 はフローティング状態、または、F N 消去用ソース電圧 (5 V) に設定されている。さらに、選択メモリブロック内のすべてのビット線 60 は消去用ビット電圧 (5 V) に設定される。また、選択メモリブロックの基板 414 には F N 消去用基板電圧 (5 V) が印加される。F N 消去は、F N トネリングを用いたものであり、ONO 膜 413 に所定の電界 (例えば電圧差 15 V) をかけると、ONO 膜 413 内の電荷 (電子) はトンネル効果によって ONO 膜 413 の外部へ放出されるという原理である。

【0057】

イレーズ動作時 (ホットホールによる消去及び F N 消去) の非選択メモリブロックについては、スタンバイ時と同様の電圧印加状態にある。

【0058】

表 6 にイレーズ時の電圧印加状態 (F N 消去) を示した。

【0059】

【表 6】

	選択メモリブロック		非選択メモリブロック
		選択メモリセル	
イレーズ	W L	- 8 V	0 V
	S G	0 V	0 V
	S L	5 V	0 V
	B L	5 V	0 V
	P w e l l	5 V	0 V

(比較例との対比と効果)

図11は、第1比較例のレイアウト図である。第1比較例では、アクセススピードを向上させるために、複数のワードゲート接続部55がソース線拡散層SLD上に形成されている。ソース線拡散層SLDと各ワードゲート412がショートしないようにするため、ワードゲート接続部55の配置された場所の下の基板414内には素子分離領域900が配置される。素子分離領域900を複数設置するため、ソース線拡散層SLDには、複数の配線接続部(コンタクト)CNT2が設置されている。配線接続部(コンタクト)CNT2が多く設置されるほど、レイアウトサイズの増大に繋がる。

【0060】

図3に示す本実施形態では、ビット線拡散層BLDの上にワードゲート接続部55が設置されているので、ソース線拡散層SLDは分離されることなく連続的に行方向Xに沿って形成されている。したがって、配線接続部(コンタクト)CNT2を大幅に削減でき、レイアウトサイズの縮小が可能になる。

【0061】

図12は、第2比較例のレイアウト図である。第2比較例では、第1比較例の素子分離領域900にかわって、クロスアンダー1000(図13参照)が設けられている。クロスアンダー1000を各ワードゲート接続部55の設置場所に設けることで、ソース線拡散層SLD用の配線接続部(コンタクト)CNT2(図11参照)を削減している。ところが、クロスアンダー1000を設置すると、マスク数、プロセス工程数が増え製造工程が煩雑になってしまう。また、クロスアンダー1000は高抵抗なので、ソース線拡散層SLDの電圧効果を引き起こしてしまう。

【0062】

本実施形態では、クロスアンダー1000を用いることなく、ソース線拡散層SLDを行方向Xに沿って連続に形成できるので、上述のようなクロスアンダー1000特有の欠点を回避できる。つまり、本実施形態は、製造工程を煩雑にすることなく、半導体記憶装置のレイアウトサイズの縮小が可能なのである。

【0063】

以上のようにして、本発明はレイアウト面積の小さい不揮発性半導体記憶装置を提供できる。

【0064】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

- 【図1】 本発明の一実施形態に係る全体図。
- 【図2】 一実施形態に係るメモリブロックの一部を表す等価回路図。
- 【図3】 一実施形態に係るメモリブロックの一部を表す平面構造図。
- 【図4】 図3の断面構造の一部を表す断面構造図。
- 【図5】 図3の断面構造の一部を表す他の断面構造図。
- 【図6】 図3の断面構造の一部を表す他の断面構造図。
- 【図7】 図3の断面構造の一部を表す他の断面構造図。
- 【図8】 図3の断面構造の一部を表す他の断面構造図。
- 【図9】 一実施形態に係るメモリブロックの一部を表す等価回路図。
- 【図10】 ONO膜内の電荷の有無と流れる電流の関係を表す図。
- 【図11】 第1比較例に係るメモリブロックの平面構造図。
- 【図12】 第2比較例に係るメモリブロックの平面構造図。
- 【図13】 第2比較例に係るクロスアンダーの断面構造図。

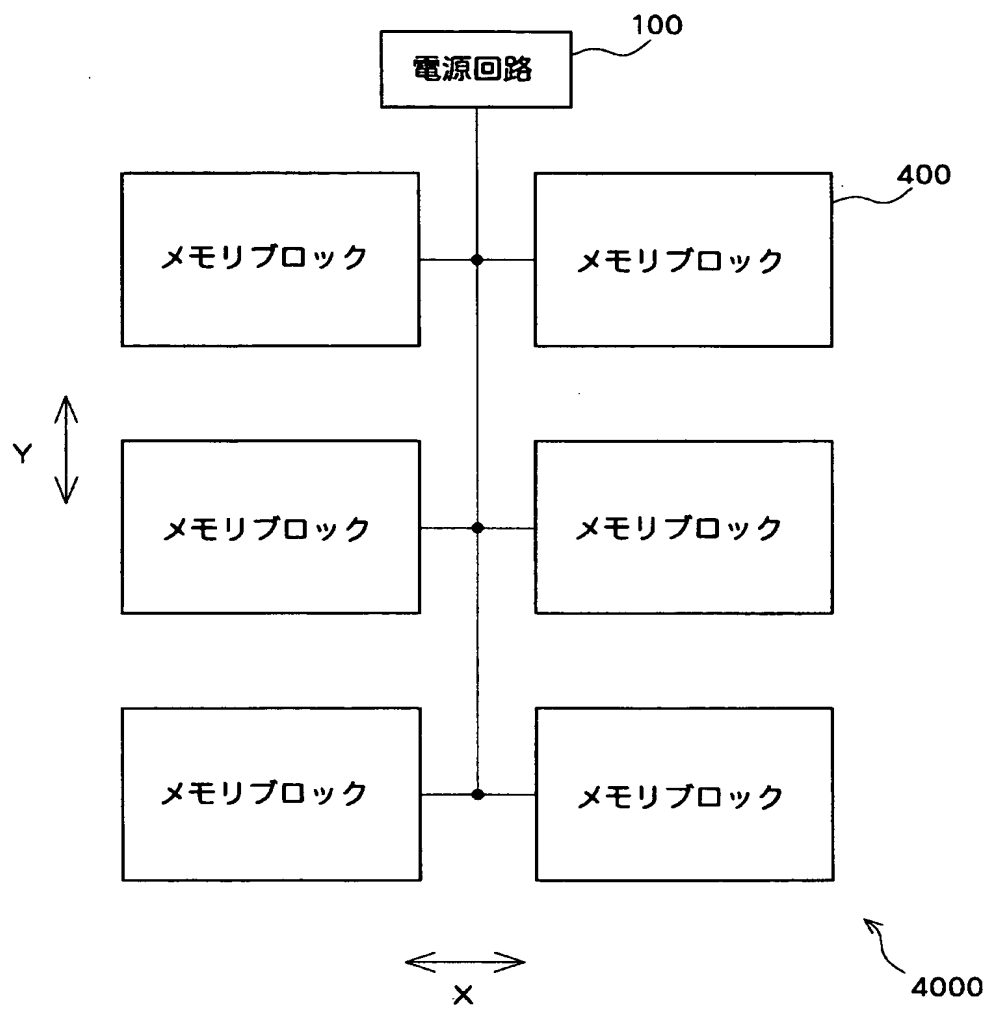
【符号の説明】

50 ワード線、51 ワード線接続部、55 ワードゲート共通接続部、60 ビット線、61 ビット線接続部、70 セレクト線、71 セレクト線接続部、75 セレクトゲート接続部、80 ソース線、400 メモリブロック、410 メモリセル、411 セレクトゲート、412 ワードゲート、413 不揮発性メモリ素子（ONO膜）、414 基板、417 窒化膜、900 素子分離領域

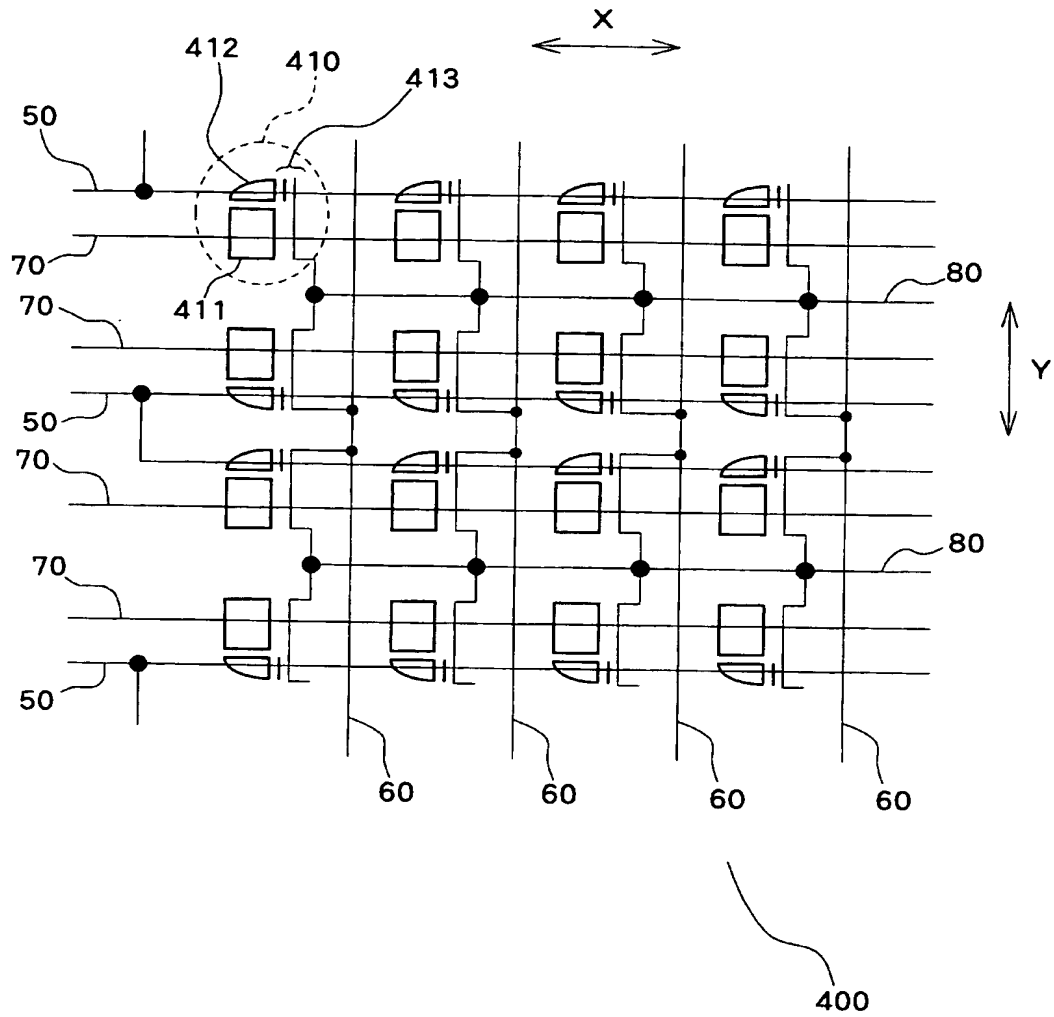
【書類名】

図面

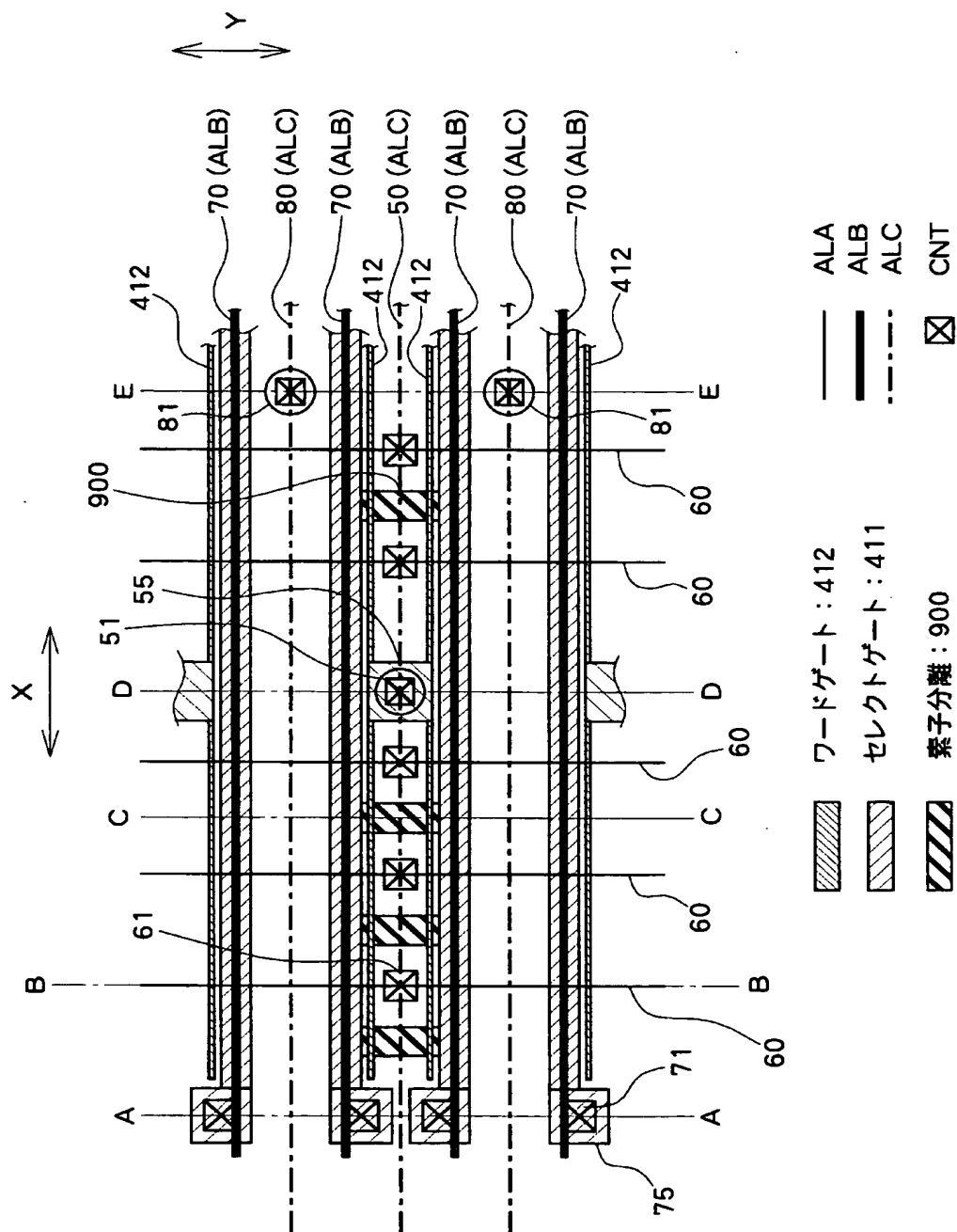
【図 1】



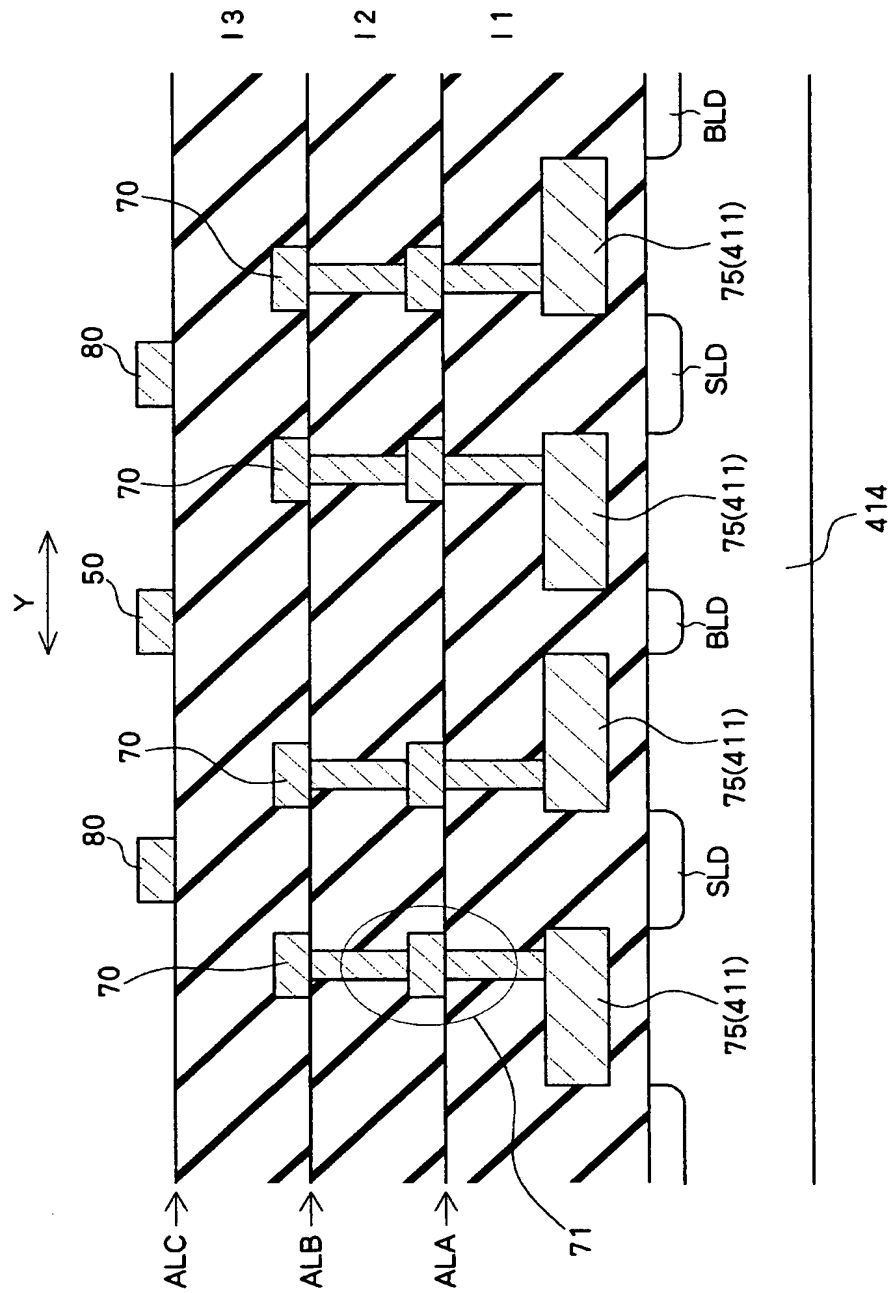
【図 2】



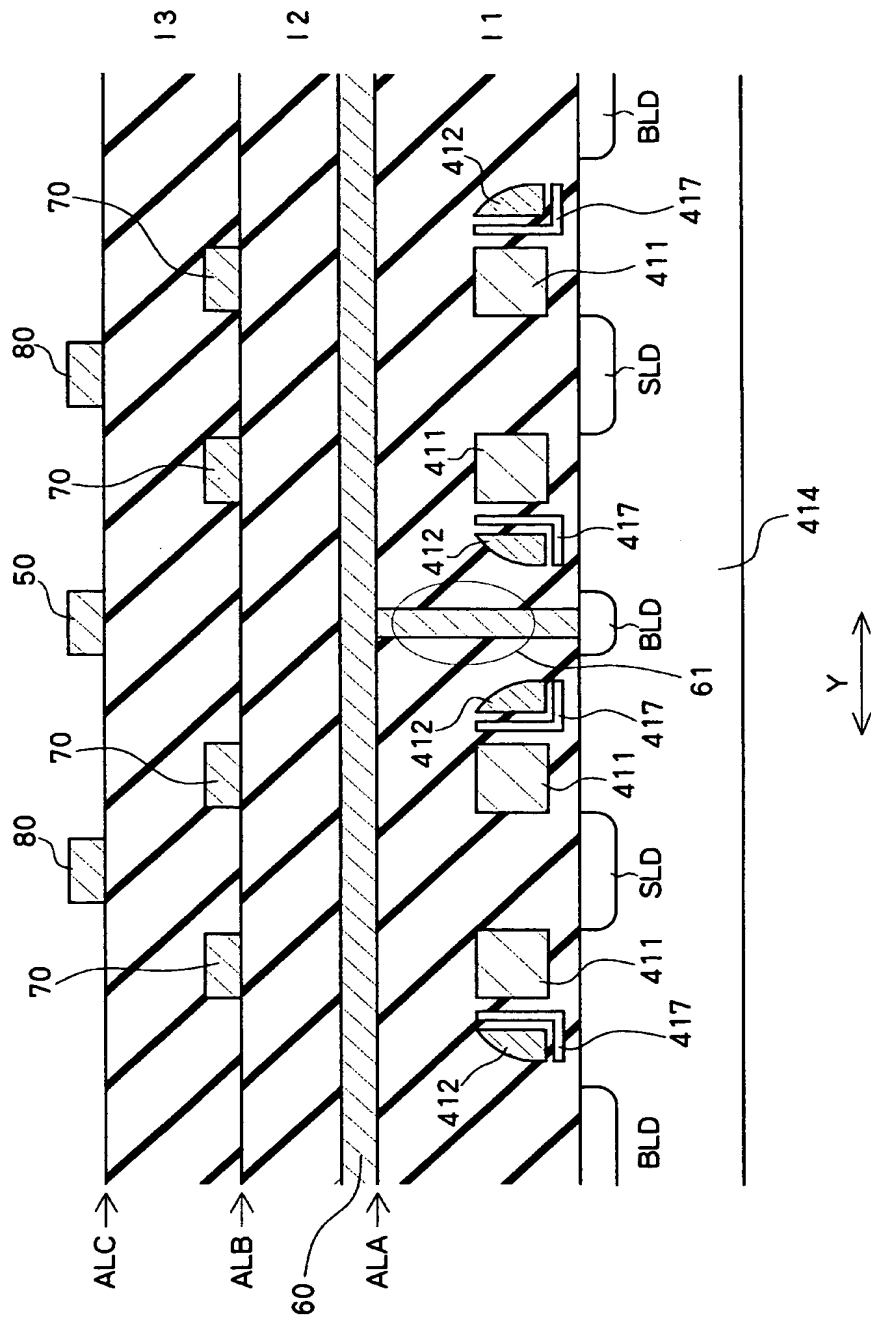
【図 3】



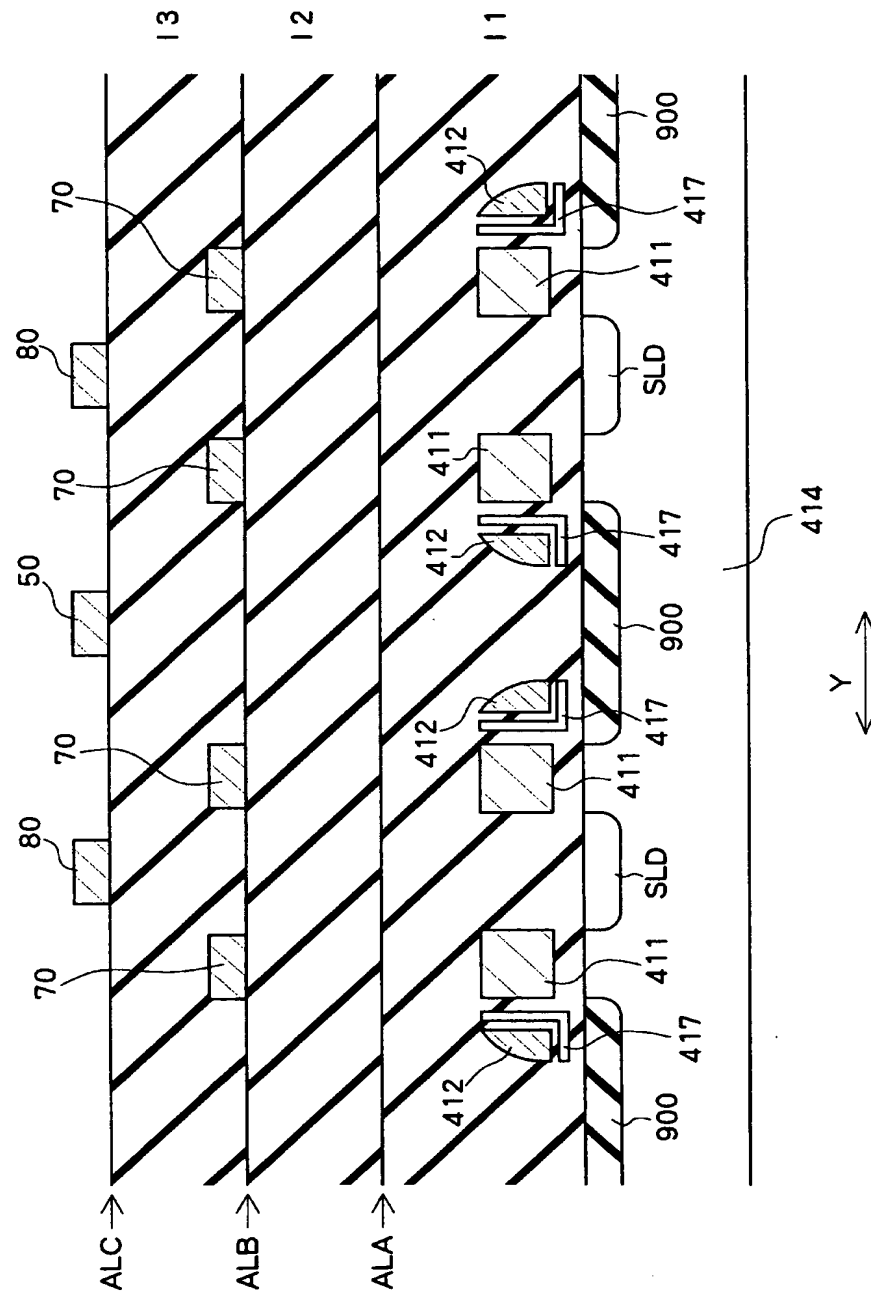
【図 4】



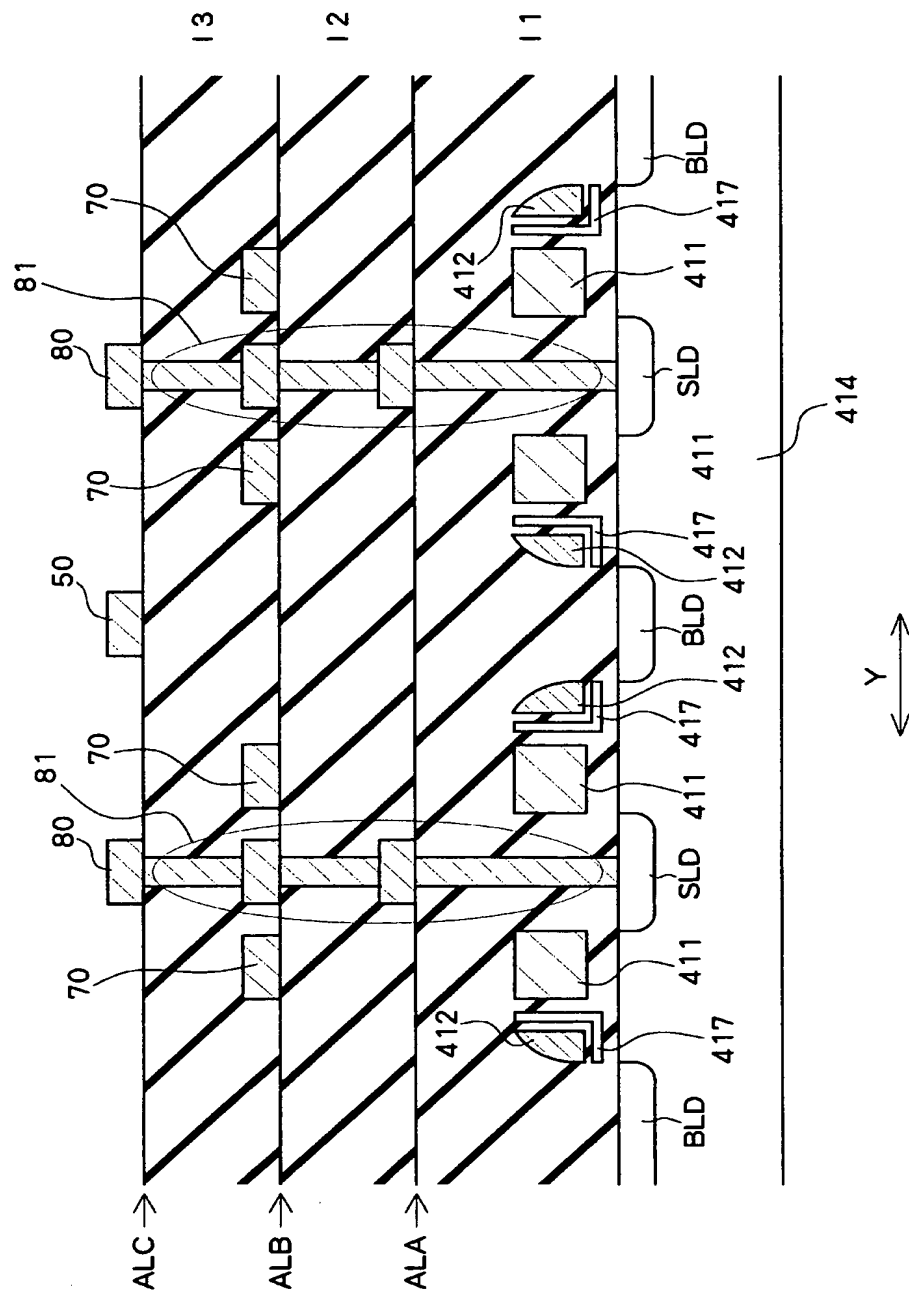
【図 5】



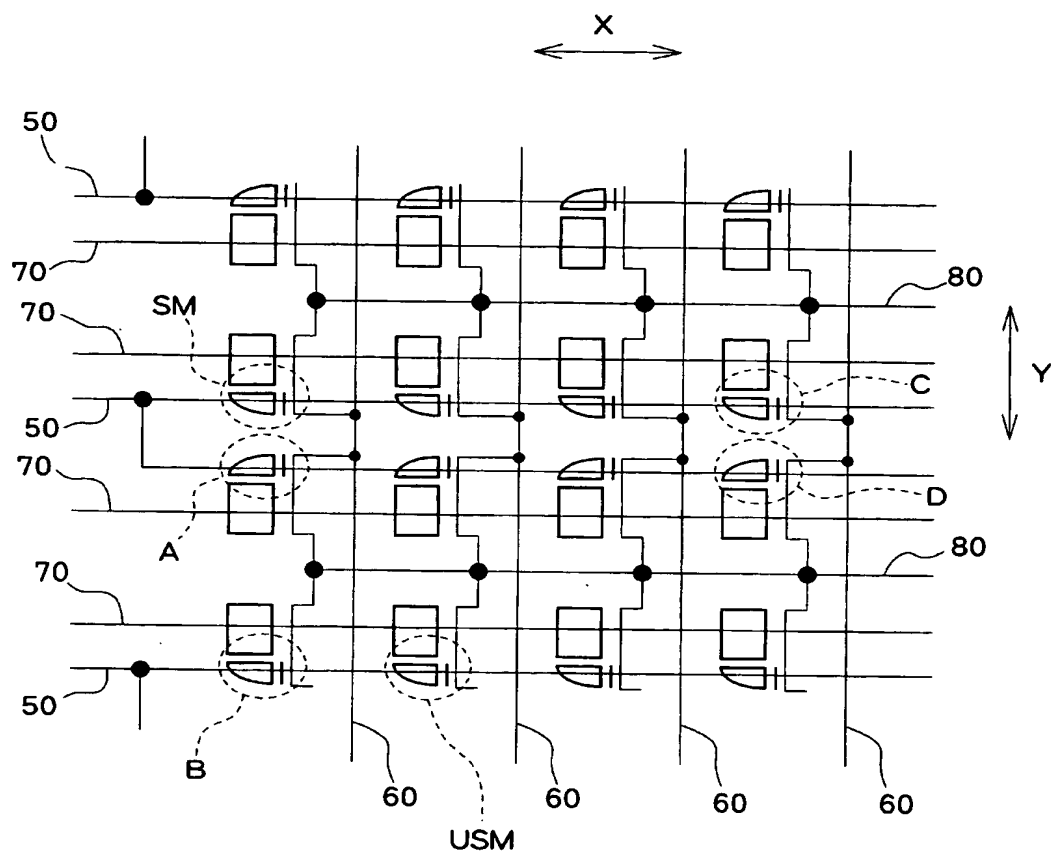
【図 6】



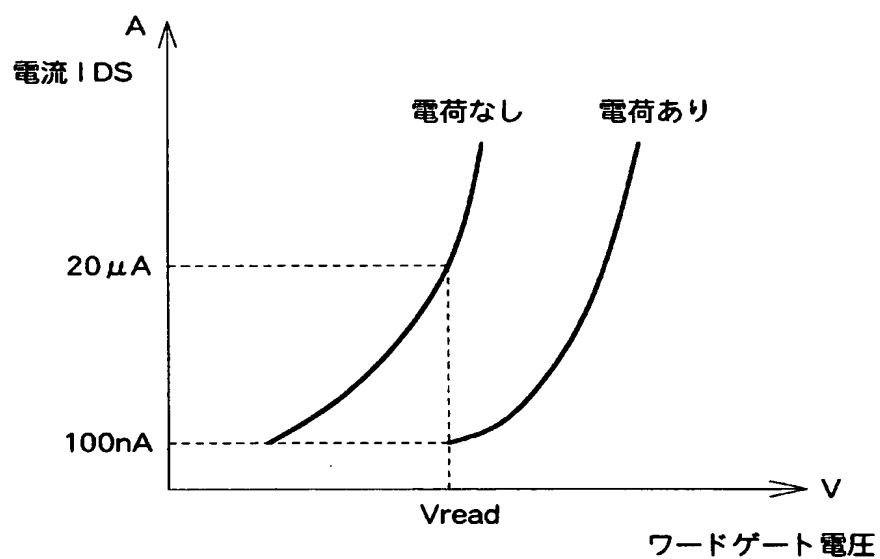
【図 8】



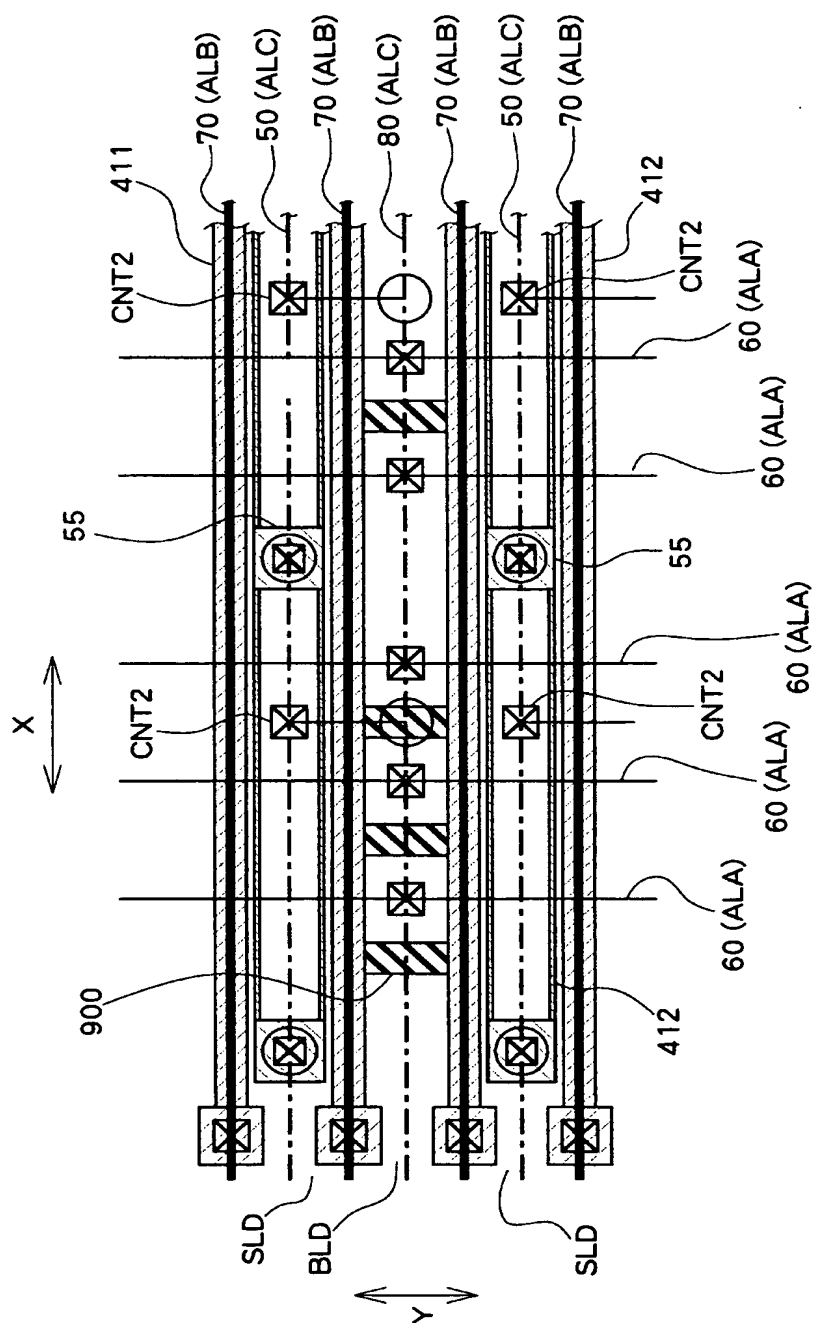
【図 9】



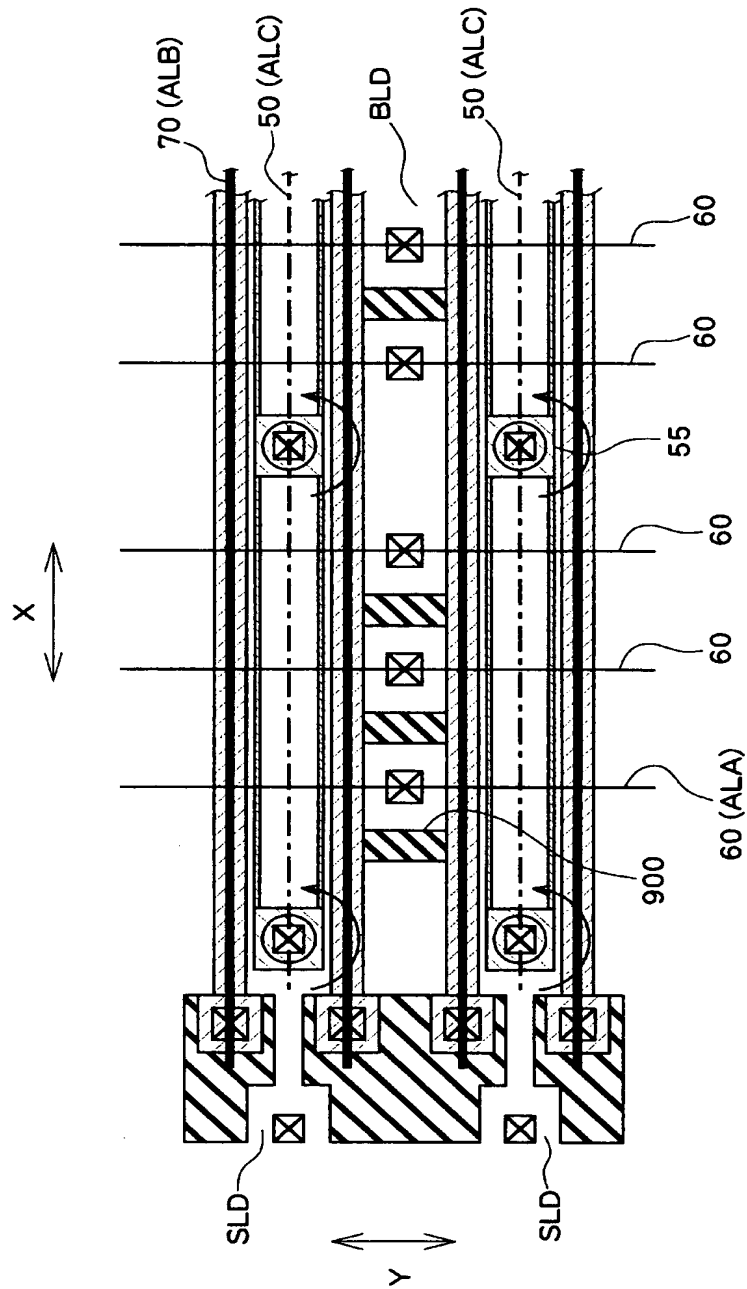
【図 10】



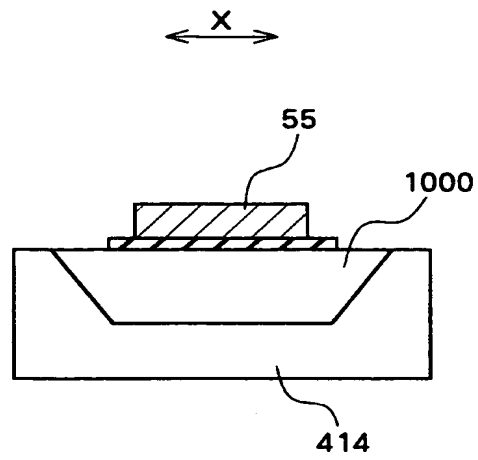
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 レイアウトサイズの小さな不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向X及び列方向Yに複数のメモリセル410が配設されて構成されたメモリセルアレイ4000は、前記行方向Xに沿って前記複数のメモリセル410を共通接続して連続形成されたソース線拡散層SLDと、ビット線拡散層BLDと、前記ビット線拡散層BLDを素子分離する素子分離領域900と、ワードゲート共通接続部55とを有し、前記複数のメモリセル410の各々は、ワードゲート412及びセレクトゲート411とを含み、前記列方向Yで隣り合う2本の前記ワードゲート412の間には、前記ビット線拡散層BLDが設けられ、前記ワードゲート共通接続部55は、前記素子分離領域900の上層にて、前記2本のワードゲート412同士を共通接続する。

【選択図】 図3

特願 2 0 0 3 - 0 5 4 4 4 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社